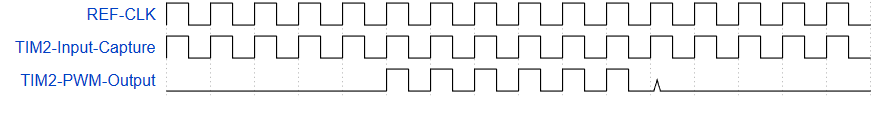
**Reference Clock 주파수 계산 및 클럭 동기화**



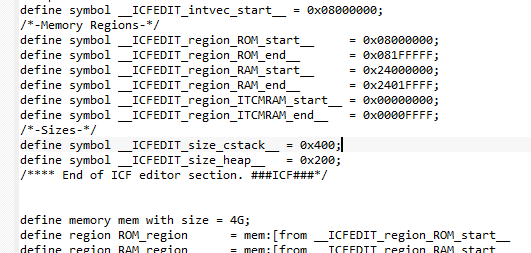
1. 일정한 주기의 Reference Clock을 TIM2 Input Capture Pin에 연결하여 Clock을 넣어준다. (STM32H743에서는 PA15로 설정했다.)
2. Timer2는 들어오는 Reference Clock의 주파수를 계산하고 10ms에 필요한 Pulse의 개수를 계산한다.
3. 계산한 결과값을 바탕으로 Timer2 One Pulse Mode 를 설정한다.

* Timer2의 Clock을 Reference Clock으로 나눈 값에서 2만큼 빼준 값을 Period로 설정, Duty비를 50퍼센트로 맞춰주기 위해 Pulse를 Period의 반으로 설정, Prescaler는 0으로 설정한다.

1. Timer2의 OnePulse\_Start\_IT를 시작한다. (10ms 만큼의 Clock만 발생시켜 주기 위해 Interrupt 방식의 PWM을 발생시킨다.)
2. Timer2의 인풋 캡처 핀으로 들어온 클럭의 Falling Edge를 감지하고 감지가 되면 Output Pin으로 클럭을 쏴준다.(STM32H743에서는 PB3로 설정했다.)
3. Pulse Finish Interrupt를 통해 클럭 발생 수를 계산하고 InputCapture Interrupt를 통해 필요 개수가 되면 PWM을 Stop 해준다.

**필요 PIN -> TIMER2 Input Pin (PA15) : Input Frequency 계산 용, REF-CLK을 이 Pin에 입력**

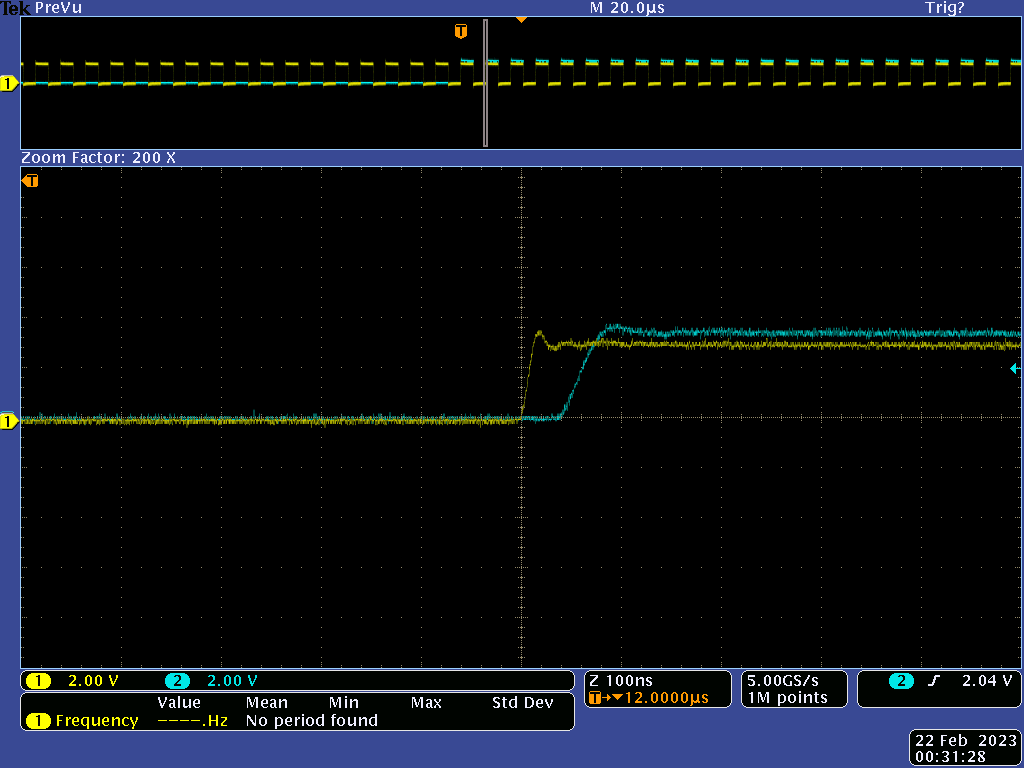
**TIMER2 Output Pin(PB3) : REF-CLK과 같은 클럭 발생 용, 적분기에 쏴줄 클럭 발생**



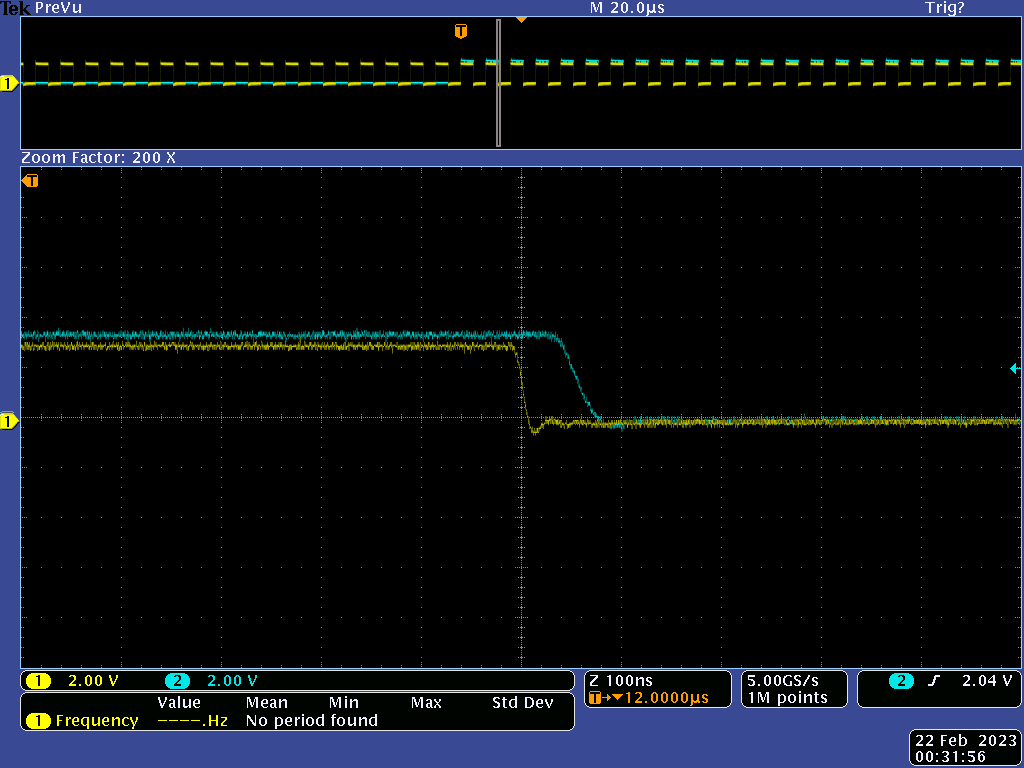
**※주의!!!!※**

**H743에서 DMA를 사용하기 위해 RAM의 주소를 0x20000000 -> 0x24000000으로 변경 필요!**

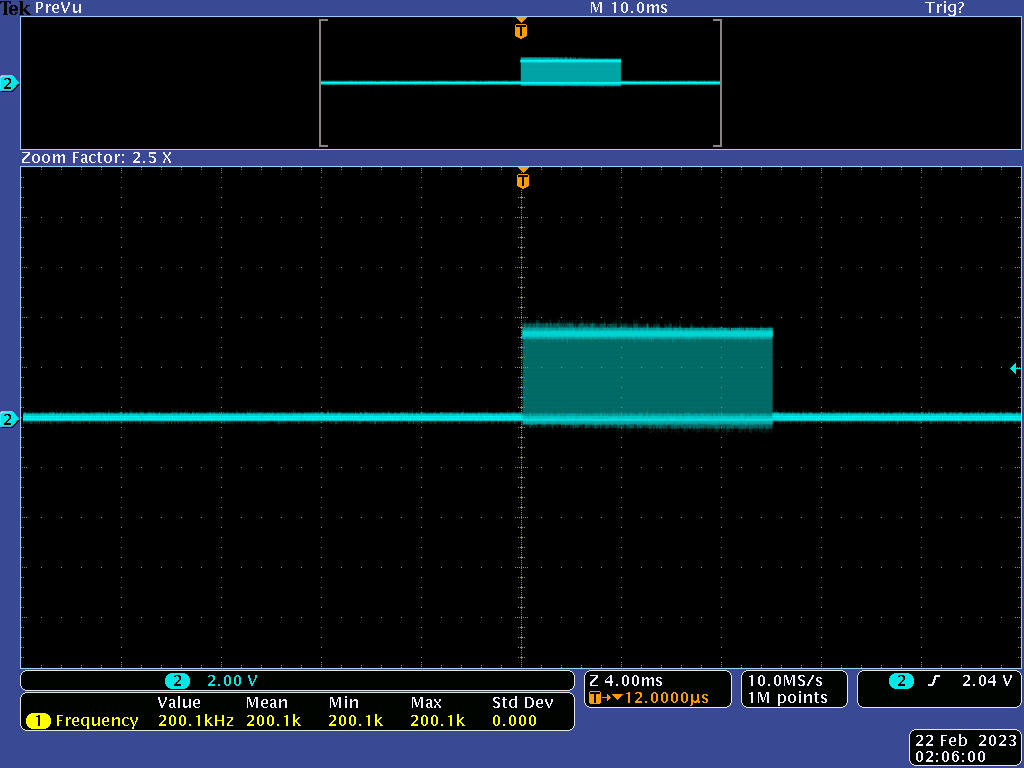
**이 부분은 추가 학습 필요.**



각 클럭이 시작할 때 200MHz Timer, 200KHz REF-CLK 기준으로 약 40ns (2.88도)의 위상 차이를 보임.



각 클럭이 끝날 때 200MHz Timer, 200KHz REF-CLK 기준으로 약 80ns (4.32도)의 위상 차이를 보임. -> Period 계산 부분을 조정 필요



오실로스코프 상에서 약 10ms의 클럭을 발생시키는 것을 확인. Debugging을 통해 계산한 개수만큼의 펄스만 Generate 하는 것을 확인. 시작 클럭부터 종료 클럭까지 위상의 차이는 유지되는 것으로 확인.

|  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- |
|  | **Timer Clock** | **REF-CLK** | **Integral\_ms** | **필요Integral** | **실제 Test**  **계산Frequency** | **실제 Test**  **Integral** | **실제 Test**  **위상차이** |
| **Case1** | 200MHz | 200KHz | 10ms | 2000번 | 200KHz  (199.98KHz) | 2000  (1999~2001) | 약 40ns |
| **Case2** | 200MHz | 200KHz | 5ms | 1000번 | 200KHz  (199.98KHz) | 1000  (999~1001) | 약 40ns |
| **Case3** | 200MHz | 80KHz | 10ms | 800번 | 80KHz  (79.99KHz) | 800  (799~801) | 약 40ns |
| **Case4** | 200MHz | 80KHz | 5ms | 400 번 | 80KHz  (79.99KHz) | 400  (399~401) | 약 40ns |
| **Case5** | 200MHz | 100KHz | 10ms | 1000번 | 100KHz  (99.99KHz) | 1000  (999~1001) | 약 40ns |
| **Case6** | 200MHz | 100KHz | 5ms | 500번 | 100KHz  (99.99KHz) | 500  (499~501) | 약 40ns |
|  |  |  |  |  |  |  |  |

약 4일간의 테스트 결과. 30만번의 테스트 중 약 1500번 가량의 오류 발생. 오류 발생 시 필요 클럭보다 1~2개 더 발생시키거나 덜 발생시키는 현상 발생. Frequency 계산에 필요한 클럭의 개수를 증가시켜준 후 약 2일간의 테스트 진행. 2일간의 테스트 도중 오류 발생률 0.